

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035787

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 21/20
H01L 29/786
H01L 21/336

(21)Application number : 11-199655

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 13.07.1999

(72)Inventor : YAMAZAKI SHUNPEI
OTANI HISASHI
TAKANO YOSHIE

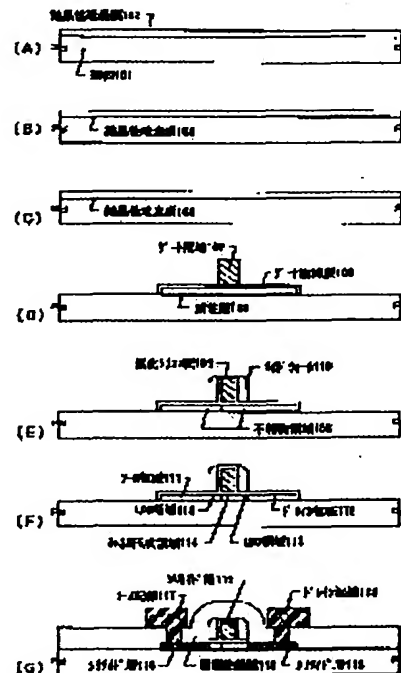
(30)Priority

Priority number : 10200979
11135052Priority date : 15.07.1998
14.05.1999Priority country : JP
JP(54) CRYSTALLINE SEMICONDUCTOR THIN FILM AND MANUFACTURE THEREOF, AND
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for forming a single-crystal semiconductor thin film or a substantially single-crystal semiconductor thin film.

SOLUTION: A catalyst element for promoting crystallization of an amorphous semiconductor thin film is added to the amorphous semiconductor thin film, and heat treatment is performed on the film so as to obtain a crystalline semiconductor thin film 102. After the crystalline semiconductor thin film 102 is irradiated with ultraviolet light or infrared light, it is subjected to heat treatment at 900-1,200°C in a reducing atmosphere. By this process, the surface of a crystalline semiconductor thin film 104 is markedly planarized, and defects in grain boundaries or crystal grains are eliminated, and thus a single-crystal semiconductor thin film or a substantially single-crystal semiconductor thin film is obtained.



LEGAL STATUS

[Date of request for examination]

26.06.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35787

(P 2 0 0 1 - 3 5 7 8 7 A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/20		H01L 21/20	5F052
29/786		29/78	618 G 5F110
21/336			620
			627 G

審査請求 未請求 請求項の数20 O L (全23頁)

(21) 出願番号 特願平11-199655

(22) 出願日 平成11年7月13日(1999.7.13)

(31) 優先権主張番号 特願平10-200979

(32) 優先日 平成10年7月15日(1998.7.15)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-135052

(32) 優先日 平成11年5月14日(1999.5.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 高野 圭恵

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

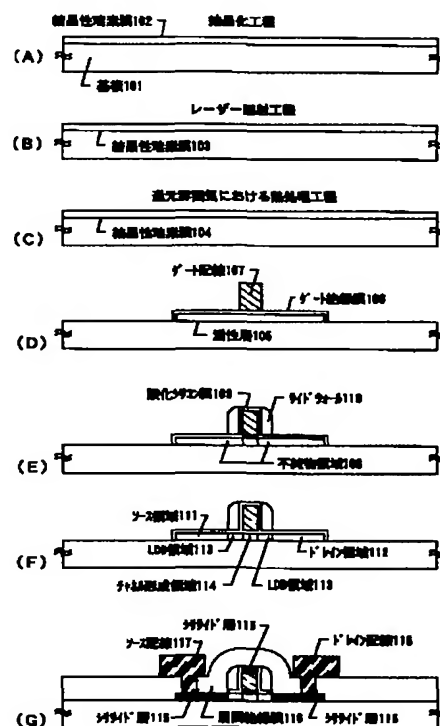
最終頁に続く

(54) 【発明の名称】 結晶性半導体薄膜及びその作製方法並びに半導体装置及びその作製方法

(57) 【要約】

【課題】 単結晶半導体薄膜又は実質的な単結晶半導体薄膜を形成するための技術を提供する。

【解決手段】 非晶質半導体薄膜に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加し、熱処理を行うことにより結晶性半導体薄膜102を得る。そして結晶性半導体薄膜102に対して紫外光又は赤外光を照射した後、還元雰囲気において900～1200℃の温度で熱処理を行う。この工程により結晶性半導体薄膜104の表面が著しく平坦化され、且つ、結晶粒界及び結晶粒内の欠陥が消滅して単結晶半導体薄膜又は実質的な単結晶半導体薄膜が得られる。



【特許請求の範囲】

【請求項1】 炭素及び窒素の含有量が 5×10^{18} atom/cm³以下且つ酸素の含有量が 1.5×10^{18} atoms/cm³以下であり、

主たる配向面が{110}面であり、隣接する結晶粒の間では等価な軸又は等価な軸に対して70.5°の回転関係にある軸とがなす回転角の絶対値が4°以内であり、膜厚が5～40nmであり、単結晶又は実質的に単結晶であることを特徴とする結晶性半導体薄膜。

【請求項2】 炭素及び窒素の含有量が 1×10^{18} atom/cm³以下且つ酸素の含有量が 5×10^{18} atoms/cm³以下であり、主たる配向面が{110}面であり、隣接する結晶粒の間では等価な軸又は等価な軸に対して70.5°の回転関係にある軸とがなす回転角の絶対値が4°以内であり、

膜厚が5～40nmであり、単結晶又は実質的に単結晶であることを特徴とする結晶性半導体薄膜。

【請求項3】 炭素及び窒素の含有量が 5×10^{18} atom/cm³以下且つ酸素の含有量が 1.5×10^{18} atoms/cm³以下であり、

主たる配向面が{110}面であり、隣接する結晶粒の間では等価な軸又は等価な軸に対して70.5°の回転関係にある軸とがなす回転角の絶対値が4°以内であり、

膜厚が5～40nmであり、単結晶又は実質的に単結晶である半導体薄膜を有し、

前記半導体薄膜をチャンネル形成領域として含む薄膜トランジスタで構成された回路を有することを特徴とする半導体装置。

【請求項4】 炭素及び窒素の含有量が 1×10^{18} atom/cm³以下且つ酸素の含有量が 5×10^{18} atoms/cm³以下であり、

主たる配向面が{110}面であり、隣接する結晶粒の間では等価な軸又は等価な軸に対して70.5°の回転関係にある軸とがなす回転角の絶対値が4°以内であり、

個々の結晶粒が互いに回転角をもって接し且つ当該回転角の絶対値が4°以内であり、

膜厚が5～40nmであり、

単結晶又は実質的に単結晶である半導体薄膜を有し、前記半導体薄膜をチャンネル形成領域として含む薄膜トランジスタで構成された回路を有することを特徴とする半導体装置。

【請求項5】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

前記結晶性半導体薄膜に対して還元雰囲気中で900～

1200℃の第2熱処理を行う工程と、

を有することを特徴とする結晶性半導体薄膜の作製方法。

【請求項6】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

前記結晶性半導体薄膜に対してハロゲン元素を含む還元雰囲気中で第2熱処理を行う工程と、

を有することを特徴とする結晶性半導体薄膜の作製方法。

【請求項7】 請求項6において、

前記第2熱処理は900～1200℃で行われることを特徴とする結晶性半導体薄膜の作製方法。

【請求項8】 請求項5乃至請求項7のいずれか1項において、

前記第2熱処理は酸素又は酸素化合物の濃度を10ppm以下とした還元雰囲気中で行われることを特徴とする結晶性半導体薄膜の作製方法。

【請求項9】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

第2熱処理として前記結晶性半導体薄膜に対して紫外光又は赤外光を照射する工程と、

前記結晶性半導体薄膜に対して還元雰囲気中で900～1200℃の第3熱処理を行う工程と、

を有することを特徴とする結晶性半導体薄膜の作製方法。

【請求項10】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

第2熱処理として前記結晶性半導体薄膜に対して紫外光又は赤外光を照射する工程と、

前記結晶性半導体薄膜に対してハロゲン元素を含む還元雰囲気中で第3熱処理を行う工程と、

を有することを特徴とする結晶性半導体薄膜の作製方法。

【請求項11】 請求項10において、前記第3熱処理は900～1200℃で行われることを特徴とする結晶性半導体薄膜の作製方法。

【請求項12】 請求項9乃至請求項11において、前記第3熱処理は酸素又は酸素化合物の濃度を10ppm以下とした還元雰囲気中で行われることを特徴とする結晶性半導体薄膜の作製方法。

【請求項13】 非晶質半導体薄膜上の一部又は全部の

領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第 1 熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

前記結晶性半導体薄膜に対して還元雰囲気中で 9 0 0 ~ 1 2 0 0 ℃ の第 2 熱処理を行う工程と、

を経て形成された薄膜トランジスタを有することを特徴とする半導体装置の作製方法。

【請求項 1 4】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第 1 熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

前記結晶性半導体薄膜に対してハロゲン元素を含む還元雰囲気中で第 2 熱処理を行う工程と、

を経て形成された薄膜トランジスタを有することを特徴とする半導体装置の作製方法。

【請求項 1 5】 請求項 1 4 において、前記第 2 熱処理は 9 0 0 ~ 1 2 0 0 ℃ で行われることを特徴とする半導体装置の作製方法。

【請求項 1 6】 請求項 1 3 乃至請求項 1 5 において、前記第 2 熱処理は酸素又は酸素化合物の濃度を 1 0 ppm 以下とした還元雰囲気中で行われることを特徴とする結晶性半導体薄膜の作製方法。

【請求項 1 7】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第 1 熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

第 2 熱処理として前記結晶性半導体薄膜に対して紫外光又は赤外光を照射する工程と、

前記結晶性半導体薄膜に対して還元雰囲気中で 9 0 0 ~ 1 2 0 0 ℃ の第 3 熱処理を行う工程と、

を経て形成された薄膜トランジスタを有することを特徴とする半導体装置の作製方法。

【請求項 1 8】 非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、

第 1 熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、

第 2 熱処理として前記結晶性半導体薄膜中に対して紫外光又は赤外光を照射する工程と、

前記結晶性半導体薄膜に対してハロゲン元素を含む還元雰囲気中で第 3 熱処理を行う工程と、

を経て形成された薄膜トランジスタを有することを特徴とする半導体装置の作製方法。

【請求項 1 9】 請求項 1 8 において、前記第 3 熱処理は 9 0 0 ~ 1 2 0 0 ℃ で行われることを特徴とする半導体装置の作製方法。

【請求項 2 0】 請求項 1 7 乃至請求項 1 9 において、

前記第 3 熱処理は酸素又は酸素化合物の濃度を 1 0 ppm 以下とした還元雰囲気中で行われることを特徴とする結晶性半導体薄膜の作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】 本発明は半導体薄膜を利用した半導体装置に関する技術であり、特に結晶性珪素膜を利用した薄膜トランジスタ (Thin Film Transistor: T F T) で構成する半導体装置及びその作製方法に関する。

【 0 0 0 2 】 なお、本明細書において、半導体装置とは半導体特性を利用して機能する装置全般を指すものである。従って、T F T の如き単体の半導体素子のみならず、T F T を有する電気光学装置や半導体回路及びそれらを搭載した電子機器も半導体装置である。

【 0 0 0 3 】

【従来の技術】 近年、アクティブマトリクス型液晶表示装置の様な電気光学装置に用いられる T F T の開発が活発に進められている。

【 0 0 0 4 】 アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノリシック型表示装置である。また、さらに γ 補正回路、メモリ回路、クロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【 0 0 0 5 】 この様なドライバー回路やロジック回路は高速動作を行う必要があるため、活性層として非晶質珪素膜 (アモルファスシリコン膜) を用いることは不適当である。そのため、現状では結晶性珪素膜 (単結晶シリコン膜又はポリシリコン膜) を活性層とした T F T が検討されている。

【 0 0 0 6 】 本出願人は、ガラス基板上に結晶性珪素膜を得るための技術として特開平 7 - 1 3 0 6 5 2 号公報記載の技術を開示している。同公報記載の技術は、非晶質珪素膜に対して結晶化を助長する触媒元素を添加し、加熱処理を行うことで結晶性珪素膜を得るものである。

【 0 0 0 7 】 この技術は触媒元素の作用により非晶質珪素膜の結晶化温度を 5 0 ~ 1 0 0 ℃ も引き下げることが可能であり、結晶化に要する時間も 1 / 5 ~ 1 / 1 0 にまで低減することができる。

【 0 0 0 8 】

【発明が解決しようとする課題】 しかしながら、T F T で組む回路に対して従来の L S I に匹敵する回路性能を要求されるようになってくると、これまでの技術で形成された結晶性珪素膜では、仕様を満たすに十分な性能を有する T F T を作製することが困難な状況になってきた。

【 0 0 0 9 】 本願発明では単結晶半導体薄膜又は実質的な単結晶半導体薄膜を実現するための技術を提供することを課題とする。なお、実質的な単結晶半導体薄膜とは、結晶粒界や欠陥等のキャリアの移動を阻害する障壁

として機能する部分をなくした多結晶半導体薄膜の如き結晶性半導体薄膜を指す。

【0010】そして、本願発明の単結晶半導体薄膜又は実質的な単結晶半導体薄膜をチャネル形成領域として有する高性能なTFTを実現させ、そのTFTで組まれた回路を有する高性能な半導体装置を提供することを課題とする。

【0011】なお、本明細書中では単結晶半導体薄膜、多結晶半導体薄膜及び微結晶半導体薄膜等の結晶性を有する半導体薄膜をまとめて結晶性半導体薄膜と呼ぶ。

【0012】

【課題を解決するための手段】本願発明を実施するための構成の一つは、非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、前記結晶性半導体薄膜に対して還元雰囲気中で900～1200℃の第2熱処理を行う工程と、を有することを特徴とする。

【0013】上記構成において、第2熱処理は結晶性半導体薄膜の表面に形成された自然酸化膜（例えば酸化珪素膜）が還元される温度であれば良く、具体的には900～1200℃（好ましくは1000～1100℃）の温度範囲で行われる。また、処理時間は少なくとも3分以上、3分～1時間、代表的には10分～1時間が好ましい。これは第2熱処理による効果を発揮するために必要な時間である。

【0014】なお、第2熱処理は結晶性半導体薄膜を島状に加工してから行っても良い。また、熱処理手段はファーンズアニール（電熱炉で行うアニール）で行う。

【0015】本願発明の特徴は、まず特開平7-130652号公報に記載された技術を利用して結晶性半導体薄膜を形成し、その結晶性半導体薄膜に対して900～1200℃の還元雰囲気中（代表的には水素雰囲気）で熱処理を行う点にある。

【0016】この工程にはまず結晶性半導体薄膜の表面を平坦化する効果がある。これは表面エネルギーを最小化しようとする半導体原子の増速表面拡散の結果である。また、同時にこの工程は結晶粒界や結晶粒内に存在する欠陥を著しく低減するといった効果をも有する。これは水素による未結合手の終端効果と、水素による不純物の除去効果及びそれに伴う半導体原子同士の再結合とによる。そのため、これらの効果を効率良く発揮させるためには、上述の様な処理時間が必要となる。

【0017】従って、この還元雰囲気中における熱処理工程はファーンズアニールで行う必要がある。紫外光又は赤外光を照射することによって熱処理を行うと再結晶化が非平衡状態で進行するため結晶粒界における結晶格子の連続性を損なうので好ましくない。その点、ファーンズアニールならば平衡状態で再結晶化が進行するので

その様な問題を避けることができる。

【0018】また、他の発明の構成は、非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、第2熱処理として前記結晶性半導体薄膜に対して紫外光又は赤外光を照射する工程と、前記結晶性半導体薄膜に対して還元雰囲気中で900～1200℃の第3熱処理を行う工程と、を有することを特徴とする。

【0019】この構成は結晶性半導体薄膜を形成した後に紫外光又は赤外光を照射することによって結晶性の改善を行うことに特徴がある。なお、ここで言う結晶性の改善とは結晶粒内や結晶粒界に存在する欠陥及び準位の低減を指す。

【0020】この場合、紫外光を用いる場合はエキシマレーザー光又は紫外光ランプから発する光を用いればよく、赤外光を用いる場合は赤外光ランプから発する光を用いれば良い。

【0021】ただし、紫外光又は赤外光を照射する際は光のエネルギーに注意が必要である。なぜならばここで結晶性珪素膜を加熱しすぎると結晶粒界における結晶格子の連続性が損なわれる可能性があるからである。実験によれば膜面温度が600～800℃であれば結晶格子の連続性を損なうことなく結晶性を改善することができる。例えば、エキシマレーザーエネルギーに置き換えると100～300mJ/cm²で照射すれば良い。

【0022】この平坦化の効果は結晶性にエキシマレーザー紫外光を照射した場合に非常に有効である。

【0023】エキシマレーザーを照射すると、半導体膜は表面から瞬時に熔融し、その後基板への熱伝導のため熔融した半導体膜は基板側から冷却し凝固する。この凝固過程において再結晶化し、大粒径の結晶性半導体膜となる。しかし、いったん熔融させるため、体積膨張がおこるため半導体膜表面に凹凸（リッジ）が生ずる。トップゲート型のTFTの場合には、凹凸のある表面がゲート絶縁膜との界面となるため、素子特性が大きく左右される。

【0024】以下に、本発明人による実験結果を用いて、本発明の高温アニールの効果を説明する。

【0025】まず、実験手順を説明する。石英基板に非晶質珪素膜を厚さ50nm成膜した。成膜には、減圧CVD法を用い、成膜ガスとして、ジシラン（Si₂H₆）

（流量250sccm）、ヘリウム（He）（流量300sccm）とした。基板温度465℃、成膜時の圧力は0.5torrとした。

【0026】非晶質珪素膜表面をバッファードフッ酸でエッチングして自然酸化膜や汚染物を除去した。つぎに、XeClエキシマレーザー光を照射して、非晶質珪素膜を結晶化した。レーザー照射時の雰囲気は大気中で

あり、また基板温度は室温とし、レーザーエネルギー密度は 400mJ/cm^2 であり、レーザー光のパルス幅は 150nsec である。

【0027】そして、結晶性珪素膜を高温アニール処理した。高温アニール処理の条件は以下のようにした。雰囲気は 100% の水素とし、真空度は 700torr 、アニール温度は 1000°C 、アニール時間は 25 分とした。なお高温アニール処理前に、結晶性珪素膜をフッ酸でウェットエッチング処理して、表面の自然酸化膜や汚染物を除去した。

【0028】高温アニールの効果を確認するため、高温アニール前後の結晶性珪素膜の表面をSEMで観察した、図10に高温アニール前の観察写真を、図11に高温アニール後の観察写真を示す。図10、図11からも明らかなように、表面形状が高温アニール前後で明らかに異なっている。

【0029】更に珪素膜の表面形状をAFM（原子間力顕微鏡）でも観察した。図11に高温アニール前の結晶性珪素膜のAFMによる観察像を示し、図12に高温アニール後の結晶性珪素膜のAFMによる観察像を示す。なお、観察範囲は図11、図12とも $1.5\mu\text{m}\times 1.5\mu\text{m}$ の矩形の領域である。

【0030】図11、図12から明らかなように、高温アニールの前後で結晶性珪素膜の表面形状は明らかに異なっている。高温アニール前・後とも結晶性珪素膜表面に凹凸があるが、高温アニール前では凸部が急峻でその頂部は尖っており、全体的に鋸歯状を呈している。このような凸部を有する表面がゲート絶縁膜とチャネル形成領域の界面となると、素子の特性に非常に悪影響を及ぼすと考えられる。対照的に、高温アニール後の凸部はなめらかであり、頂部は丸みを帯びているため、ゲート絶縁膜／チャネル形成領域界面特性は高温アニール前よりも改善される。

【0031】図9～図13に示す観察像からでも、高温アニールによって結晶化珪素膜の表面が平坦化、平滑化されることが理解できるが、更に、高温アニール前後の表面形状の差異を定量化するため、AFM像の高さのHistogram（ヒストグラム）分布を算出した。更にこのHistogram分布のBearing Ratio曲線を算出した。Bearing Ratio曲線とはHistogram分布の累積度数を示すカーブである。

【0032】図14、図15にAFM像の高さのヒストグラムとBearing Ratio曲線を示す。図14は高温アニール前のデータであり、ヒストグラムのピッチはおおよそ 0.16nm である。図15は高温アニール後のデータであり、ヒストグラムのピッチはおおよそ 0.20nm である。

【0033】AFMによる測定領域は $1.5\mu\text{m}\times 1.5\mu\text{m}$ である。Bearing Ratio曲線とはヒストグラムのデータの累積度数を表した曲線である。図14、図15の

曲線は高さの最大値から累積したものであり、最大値から任意の高さの面積が全面積に占める割合（％）を示している。また、図14、図15において、グラフ中の点線で示す水平線はP-V値（Peak to Valley、高さの最大値と最小値の差分）の $1/2$ の値を示す。

【0034】更に、高温アニール前後の珪素膜において、それぞれ 10 の領域（ $1.5\mu\text{m}\times 1.5\mu\text{m}$ の矩形の領域）でAFM像を観察し、各観察領域での 2^{-1} （P-V値）におけるBearing Ratioを算出した。各観察領域におけるBearing Ratioとその統計データを図16に示す。

【0035】図14、図15の曲線を比較すると、高温アニール前の高さ分布は低部側に偏っているが、高温アニール後ではその偏りが高いほうへシフトして、ヒストグラムはP-Vの $1/2$ の位置に対して対称的になっている。このことはBearing Ratio曲線から容易に理解できる。

【0036】高さが 2^{-1} （P-V）におけるBearing Ratioは図14では約 20% であり、図15では約 51% である。即ち、高さが最高値から 2^{-1} （P-V値）の範囲にある領域の面積が全面積に占める割合は、高温アニール前は約 20% であるのに対して、高温アニール後は約 51% である。この割合の違いからも、高温アニールによって、尖っていた頂部が丸みを帯びて、珪素膜の表面が平滑にされたことが理解できる。

【0037】そこで本発明では、結晶性珪素膜の表面形状を 2^{-1} （P-V値）におけるBearing Ratioで定量化し、実験結果から 2^{-1} （P-V値）におけるBearing Ratio、即ち所定の観察領域において、高さが最大値から 2^{-1} （P-V値）の範囲にある領域が占める割合は、高温アニール前の膜では $6\sim 28\%$ の範囲にあり、高温アニール後の膜は $29\sim 72\%$ と推定される。

【0038】なお、このBearing Ratioの範囲は図16の統計データから設定したものであり、 2^{-1} （P-V値）におけるBearing Ratioの平均値 $\pm 3\sigma$ から算出した値である。また、Bearing Ratioは高さの最大値から累積した値である。

【0039】以上述べたように、本発明では、エキシマレーザーなど紫外光によって結晶化された結晶性半導体膜は表面が溶融されて結晶化されるため、所定の領域に対して高さが最大値から最大値と最小値の差分の $1/2$ の範囲にある領域が占める割合は $6\sim 28\%$ となるが、この結晶性半導体膜を高温アニールによって処理することにより、この領域の占める割合が $29\sim 72\%$ へと変化し、膜表面の凸部の頂部を緩やかにすることができる。

【0040】以上述べた実験は非晶質珪素膜にエキシマレーザーを照射した例であるが、本発明の結晶性珪素膜に照射した場合もほぼ同様な表面形状になると考えられる。本発明では高温アニール前のBearing Ratioは実験結果よりも大きくなると考えられ、高温アニール後のBe

aring Ratioは29~72%、代表的には35~60%の範囲にあると予測される。

【0041】また、他の発明の構成は、非晶質半導体薄膜上の一部又は全部の領域に対して当該非晶質半導体薄膜の結晶化を助長する触媒元素を添加する工程と、第1熱処理を行い、前記非晶質半導体薄膜の一部又は全部の領域を結晶性半導体薄膜に変化させる工程と、前記結晶性半導体薄膜に対してハロゲン元素を含む還元雰囲気中で第2熱処理を行う工程と、を有することを特徴とするものである。

【0042】この構成において第2熱処理は900~1200℃の温度で行われる。この工程はハロゲン元素による金属元素のゲッター作用を狙ったものであり、非晶質半導体薄膜の結晶化に利用した触媒元素をハロゲン化して除去することを目的としている。

【0043】

【発明の実施の形態】以上の構成からなる本願発明の実施形態について、以下に記載する実施例をもって詳細な説明を行うこととする。

【0044】

【実施例】〔実施例1〕本実施例では、本願発明を実施して基板上にTF Tを作製する工程について説明する。説明には図1を用いる。

【0045】まず、基板101として石英基板を用意した。基板101としては耐熱性の高い材料を選択しなければならない。石英基板の代わりにシリコン基板、セラミックス基板、結晶化ガラス基板等の耐熱性の高い材料を用いることもできる。

【0046】ただし、石英基板を用いる場合は下地膜を設けても設けなくても良いが、他の材料を用いる時は下地膜として絶縁膜を設けることが好ましい。絶縁膜としては、酸化珪素膜(SiO_x)、窒化珪素膜(Si₃N₄)、酸化窒化珪素膜(SiO_xN_y)、窒化アルミニウム膜(Al_xN_y)のいずれか若しくはそれらの積層膜を用いると良い。

【0047】また、耐熱性金属層と酸化珪素膜とを積層した下地膜を用いると放熱効果が大幅に高まるので有効である。放熱効果は上述の窒化アルミニウム膜と酸化珪素膜との積層構造でも十分な効果を示す。

【0048】こうして絶縁表面を有する基板101が準備できたら、特開平7-130652号公報に記載された技術を利用して30nm厚の結晶性珪素膜102を形成した。詳細な手段については同公報に記載してあるので概略のみを説明する。

【0049】まず本実施例では成膜ガスとしてジシラン(Si₂H₆)を用いた。減圧熱CVD法により20~60nm厚の非晶質珪素膜を形成した。この時、膜中に混入するC(炭素)、N(窒素)及びO(酸素)といった不純物の濃度を徹底的に管理することが重要である。これらの不純物が多く存在すると結晶化の進行が妨げられる

からである。

【0050】本出願人は炭素濃度および窒素の濃度が 5×10^{18} atoms/cm³以下(好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下、さらに好ましくは 2×10^{17} atoms/cm³以下)、酸素の濃度が 1.5×10^{19} atoms/cm³以下(好ましくは 5×10^{18} atoms/cm³以下、さらに好ましくは 1×10^{18} atoms/cm³以下)となる様に不純物濃度を管理した。また、金属元素は 1×10^{17} atoms/cm³となる様に管理した。成膜段階でこの様な濃度管理をしておけば、外部汚染さえ防げば、TF T作製工程中に不純物濃度が増加する様なことはない。なお、上記濃度はSIMS(質量二次イオン分析)の最低濃度領域における値である。

【0051】非晶質珪素膜を成膜したら、非晶質珪素膜の全面(全部の領域)に対して非晶質珪素膜の結晶化を助長する触媒元素を添加した。具体的には、10ppmの酢酸ニッケル塩溶液をスピンコート法により塗布し、450℃1時間程度の水素出しを行った。

【0052】そしてその後、不活性雰囲気、水素雰囲気または酸素雰囲気において500~700℃(代表的には550~650℃)の温度で4~24時間の加熱処理を加えて結晶性珪素膜102を得た。この結晶性珪素膜102にはニッケルが 1×10^{18} ~ 1×10^{19} atoms/cm³の濃度で残存する。(図1(A))

【0053】なお、厳密に言うとはスピンコートした時点では非晶質珪素膜中にニッケルは添加されていない。しかし、その後の水素だし工程でニッケルが非晶質珪素膜中へと容易に拡散するので実質的には添加工程と考えて良い。

【0054】なお、減圧熱CVD法で形成した非晶質珪素膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。また、非晶質珪素膜の代わりに非晶質珪素膜中にゲルマニウムを含有させたシリコンゲルマニウム(Si_xGe_{1-x}、(0<x<1)で表される)等の非晶質半導体薄膜を用いても良い。その場合、シリコンゲルマニウム中に含まれるゲルマニウムは5atomic%以下となる様にしておくことが望ましい。

【0055】また、ニッケル以外にもコバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)といった格子侵入型の触媒元素またはゲルマニウム(Ge)、鉛(Pb)、錫(Sn)といった格子置換型(または溶融型)の触媒元素から選ばれた一種または複数種を用いることもできる。

【0056】こうして図1(A)の状態が得られたら、次に紫外光又は赤外光を結晶性珪素膜102に対して照射した。本実施例ではXeClを励起ガスとしたエキシマレーザー照射によって熱処理を行った。エキシマレーザーのビーム形状は線状ビームであっても良いが、処理の均一性を高めるには面状ビームであることが望ましい。

(図1(B))

【0057】この時のレーザーエネルギーは100~250mJ/cm²の条件で行うことが望ましい。エネルギーが強すぎると結晶粒界における結晶格子の連続性が損なわれてしまう可能性がある。なお、この紫外光又は赤外光を照射する工程は省略しても構わない。

【0058】こうして結晶性が改善された結晶性珪素膜103を得た。次に、還元雰囲気中で900~1200℃(好ましくは1000~1150℃)の温度範囲の熱処理工程を行った。本実施例では水素雰囲気中で1050℃、20分の加熱処理を行った。(図1(C))

【0059】還元雰囲気としては水素雰囲気、アンモニア雰囲気、水素又はアンモニアを含む不活性雰囲気(水素と窒素又は水素とアルゴンの混合雰囲気など)が望ましいが、不活性雰囲気でも結晶性珪素膜の表面の平坦化は可能である。しかし、還元作用を利用して自然酸化膜の還元を行うとエネルギーの高いシリコン原子が多く発生し、結果的に平坦化効果が高まるので好ましい。

【0060】ただし、特に注意が必要なのは雰囲気中に含まれる酸素又は酸素化合物(例えばOH基)の濃度を10ppm以下(好ましくは1ppm以下)にしておくことである。さもないと水素による還元反応が起こらなくなってしまう。

【0061】こうして結晶性珪素膜104を得た。結晶性珪素膜104は900~1200℃という高い温度における水素熱処理によって非常に表面が平坦化された。また、高い温度で熱処理されるので、結晶粒内には殆ど積層欠陥等が存在しなかった。この点については後述する。

【0062】こうして実質的に単結晶と見なせる結晶性珪素膜104が得られたら、次に結晶性珪素膜104をパターニングして活性層105を形成した。なお、本実施例では活性層を形成する前に水素雰囲気中での熱処理を行っているが、活性層を形成した後に行うこともできる。その場合、パターン化されていることによって結晶性珪素膜に発生する応力が緩和されるため好ましい。

【0063】そして熱酸化工程を行って活性層105の表面に10nm厚の酸化珪素膜106を形成した。この酸化珪素膜106はゲート絶縁膜として機能する。また、活性層は5nmの厚さだけ膜減りするため膜厚は30nmとなった。最終的に5~40nm厚の活性層(特にチャネル形成領域)が残る様に、熱酸化による膜減りを考慮して非晶質珪素膜(出発膜)の膜厚を決定しておくことが必要である。

【0064】ゲート絶縁膜106を形成したら、その上に導電性を有する多結晶珪素膜を形成し、パターニングによりゲート配線107を形成した。(図1(D))

【0065】なお、本実施例ではゲート配線としてN型導電性を持たせた多結晶珪素膜を利用するが、材料はこれに限定されるものではない。特に、ゲート配線の抵抗

を下げるにはタンタル、タンタル合金又はタンタルと窒化タンタルとの積層膜を用いることも有効である。さらに低抵抗なゲート配線を狙うならば銅や銅合金を用いても有効である。

【0066】図1(D)の状態が得られたら、N型導電性又はP型導電性を付与する不純物を添加して不純物領域108を形成した。この時の不純物濃度は後のLDD領域の不純物濃度を鑑みて決定した。本実施例では 1×10^{18} atoms/cm³の濃度で砒素を添加したが、不純物も濃度も本実施例に限定される必要はない。

【0067】次に、ゲート配線107の表面に5~10nm程度の薄い酸化珪素膜109を形成した。これは熱酸化法やプラズマ酸化法を用いて形成すれば良い。この酸化珪素膜109の形成には、次のサイドウォール形成工程でエッチングストッパーとして機能させる目的がある。

【0068】エッチングストッパーとなる酸化珪素膜109を形成したら、窒化珪素膜を形成してエッチバックを行い、サイドウォール110を形成した。こうして図1(E)の状態を得た。

【0069】なお、本実施例ではサイドウォールとして窒化珪素膜を用いたが、多結晶珪素膜や非晶質珪素膜を用いることもできる。勿論、ゲート配線の材料が変われば、それに応じてサイドウォールとして用いることのできる材料も変わることは言うまでもない。

【0070】次に、再び先程と同一導電型の不純物を添加した。この時に添加する不純物濃度は先程の工程よりも高い濃度とした。本実施例では不純物として砒素を用い、濃度は 1×10^{21} atoms/cm³とするがこれに限定する必要はない。この不純物の添加工程によりソース領域111、ドレイン領域112、LDD領域113及びチャネル形成領域114が画定した。(図1(F))

【0071】こうして各不純物領域が形成されたらファーンেসアニール、レーザーアニール又はランプアニール等の熱処理により不純物の活性化を行った。

【0072】次に、ゲート配線107、ソース領域111及びドレイン領域112の表面に形成された酸化珪素膜を除去し、それらの表面を露呈させた。そして、5nm程度のコバルト膜(図示せず)を形成して熱処理工程を行った。この熱処理によりコバルトとシリコンとの反応が起こり、シリサイド層(コバルトシリサイド層)115が形成された。(図1(G))

【0073】この技術は公知のサリサイド技術である。従って、コバルトの代わりにチタンやタングステンを用いても構わないし、熱処理条件等は公知技術を参考にすれば良い。本実施例では赤外光を照射して熱処理工程を行った。

【0074】こうしてシリサイド層115を形成したら、コバルト膜を除去した。その後、1μm厚の層間絶縁膜116を形成した。層間絶縁膜116としては、酸

化珪素膜、窒化珪素膜、酸化窒化珪素膜又は樹脂膜（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン（BCB）等）を用いれば良い。また、これらの絶縁膜を自由な組み合わせで積層しても良い。

【0075】次に、層間絶縁膜116にコンタクトホールを形成してアルミニウムを主成分とする材料でなるソース配線117及びドレイン配線118を形成した。最後に素子全体に対して水素雰囲気中で300℃2時間のファーンズアニールを行い、水素化を完了した。

【0076】こうして、図1（G）に示す様なTFTが得られた。なお、本実施例で説明した構造は一例であって本願発明を適用しうるTFT構造はこれに限定されない。従って、公知のあらゆる構造のTFTに対して適用可能である。また、結晶性珪素膜104を形成した以降の工程における数値条件も本実施例に限定される必要はない。さらには、公知のチャネルドープ工程（しきい値電圧を制御するための不純物添加工程）を本実施例のどこかに導入してもなんら問題はない。

【0077】また、本実施例では出発膜である非晶質珪素膜を成膜する段階で徹底的にC、N、Oといった不純物の濃度を管理しているため、完成したTFTの活性層中に含まれる各不純物濃度は、炭素及び窒素の濃度が 5×10^{18} atoms/cm³以下（好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下、さらに好ましくは 2×10^{17} atoms/cm³以下）、酸素の濃度が 1.5×10^{18} atoms/cm³以下（好ましくは 5×10^{17} atoms/cm³以下、さらに好ましくは 1×10^{17} atoms/cm³以下）のままであった。また、金属元素は 1×10^{17} atoms/cm³以下であった。

【0078】また、本願発明はトップゲート構造に限らず、逆スタガ型TFTに代表されるボトムゲート構造に対しても容易に適用することが可能であることは言うまでもない。

【0079】また、本実施例ではNチャネル型TFTを例にとって説明したが、公知技術と組み合わせればPチャネル型TFTを作製することも容易である。さらに公知技術を組み合わせれば同一基板上にNチャネル型TFTとPチャネル型TFTとを形成して相補的に組み合わせ、CMOS回路を形成することも可能である。

【0080】さらに、図1（G）の構造においてドレイン配線118と電氣的に接続する画素電極（図示せず）を公知の手段で形成すればアクティブマトリクス型表示装置の画素スイッチング素子を形成することも容易である。

【0081】即ち、本願発明は液晶表示装置やEL（エレクトロルミネッセンス）表示装置などのアクティブマトリクス型の電気光学装置を作製する際にも実施することが可能である。

【0082】〔活性層の結晶構造に関する知見〕 上記作製工程に従って形成した活性層は、微視的に見れば複

数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有していると考えられる。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。更に、結晶粒界における結晶格子の連続性が非常に高い結晶構造を有していることも予測される。

【0083】この結晶粒界の連続性は電子線回折、X線回折を利用して確認することができる。結晶格子の連続性が高い結晶性珪素でなる活性層の表面（チャネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面が{110}面であり、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持つことになる。

【0084】その様子を模式的に図8に示す。図8

（A）は電子線回折パターンの一部を模式的に示した図である。図8（A）において、1201で示される複数の輝点は〈110〉入射に対応する回折スポットである。複数の回折スポット1201は電子線照射エリアの中心点1202を中心にして同心円上に分布している。

【0085】ここで、点線で囲まれた領域1203を拡大したものを図8（B）に示す。図8（B）に示す様に、照射エリアの中心点1202に対して回折スポット1201が分布（ゆらぎ）を持っていることが判る。

【0086】電子線照射エリアの中心点1202から回折スポット1201に対して引いた接線1204と、電子線照射エリアの中心点1202と回折スポットの中心点1205とを結ぶ線分とがなす角は2°以下になる。この時、接線は2本引けるので、回折スポット1201の広がり（結局±2°以内の範囲に収まることになる）。

【0087】この傾向は実際の電子線回折パターンの全域で見受けられ、全体としては±2°以内（典型的には±1.5°以内、好ましくは±0.5°以内）に収まっている。回折スポットが分布を持つとはこの様なことを指している。

【0088】また、この様な回折スポットの分布は、同一の結晶軸を有する個々の結晶粒が互いに結晶軸周りに回転した配置で集合している際に現れることが知られている。即ち、ある結晶面内に含まれる特定の軸（軸Aと呼ぶ）と、隣接する他の結晶面内に含まれる軸Aと等価な軸（軸Bと呼ぶ）とがなす角を回転角と呼ぶと、その回転角に相当する分だけ回折スポットの現れる位置がずれるのである。

【0089】従って、複数の結晶粒が互いにある回転角を持った位置関係で集合している場合、個々の結晶粒が示す回折スポットの集合体として一つの電子線回折パターンを観察することができる。

【0090】±2°以内（典型的には±1.5°以内、好ましくは±0.5°以内）の範囲で回折スポットが広がりを持つ場合、隣接する結晶粒の間では等価な軸がなす回転角の絶対値が4°以内（典型的には3°以内、好まし

くは 1° 以内)であることを意味している。

【0091】なお、結晶軸が $\langle 110 \rangle$ 軸の場合、結晶面内に含まれる等価な軸としては $\langle 111 \rangle$ 軸が挙げられるが、本願発明の結晶性半導体薄膜では $\langle 111 \rangle$ 軸同士が 70.5 (又は 70.4 という説もある) の回転角をもって接した結晶粒界が多く見られる。この場合も等価な軸が $70.5^\circ \pm 2^\circ$ の回転角をもっていと考えられる。

【0092】即ち、このような場合には、結晶粒の間では、等価な軸又は等価な軸に対して 70.5° の回転関係にある軸がなす回転角の絶対値が 4° 以内 (典型的には 3° 以内、好ましくは 1° 以内) であるとも言える。

【0093】また、結晶粒界を HR-TEM (高分解能透過型電子顕微鏡法) により観察して、結晶粒界において結晶格子に連続性があることを確認することもできる。HR-TEM では、観察される格子縞が結晶粒界において連続的に繋がっているか、否かが容易に確認できる。

【0094】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0095】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0096】特に結晶軸 (結晶面に垂直な軸) が $\langle 110 \rangle$ 軸である場合、 $\{211\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0097】本出願人が本願発明の方法を実施して得た結晶性珪素膜は、結晶粒界の殆ど (90% 以上、典型的には 95% 以上) が $\Sigma 3$ の対応粒界、即ち $\{211\}$ 双晶粒界にすることができる。

【0098】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0099】本願発明の結晶性珪素膜は、結晶粒界において隣接する結晶粒の各格子縞が約 70.5° の角度をもって連続した、即ち結晶粒界が $\{211\}$ 双晶粒界である結晶性珪素膜とであるという結論に辿り着いた。

【0100】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0101】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、結晶性珪素膜は面方位が概略 $\{110\}$ で揃っている場合に初めて、広範囲に渡ってこの様な対応粒界が形成される。

【0102】この様な結晶構造 (正確には結晶粒界の構造) は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する結晶性半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0103】またさらに、図 1 (C) に示す還元雰囲気における熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅させることができる。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから確認できる。

【0104】この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差として測定される。実施例 1 の作製工程によって、結晶性珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm² 以下 (好ましくは 3×10^{17} spins/cm² 以下) とすることができる。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0105】また、この熱処理工程は還元雰囲気、特に水素雰囲気で行われるので僅かに残った欠陥も水素終端されて不活性化している。従って、結晶粒内の欠陥は実質的に存在しないと見なしてよいと考える。

【0106】以上の事から、本願発明を実施することで得られた結晶性半導体薄膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶半導体薄膜又は実質的な単結晶半導体薄膜と考えて良い。

【0107】〔TFT の電気特性に関する知見〕 上述した粒界の連続性の高い結晶性珪素膜で作製された TFT は純粋な単結晶珪素を用いた MOSFET に匹敵する電気特性を示す。

【0108】(1) スイッチング性能 (オン/オフ動作切り換えの俊敏性) の指標となるサブスレッショルド係数が、Nチャネル型 TFT および Pチャネル型 TFT とともに $60 \sim 100$ mV/decade (代表的には $60 \sim 85$ mV/decade) と小さい。(2) TFT の動作速度の指標となる電界効果移動度 (μ_{FE}) が、Nチャネル型 TFT で $200 \sim 650$ cm²/Vs (代表的には $300 \sim 500$ cm²/Vs)、Pチャネル型 TFT で $100 \sim 300$ cm²/Vs (代表的には $150 \sim 200$ cm²/Vs) と大きくすることが可能である。(3) TFT の駆動電圧の指標となるしきい値電圧 (V_{th}) が、Nチャネル型 TFT で $-0.5 \sim 1.5$ V、Pチャネル型 TFT で

-1.5~0.5 Vと小さくすることができる。

【0109】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0110】〔回路特性に関する知見〕例えば、リングオシレータによる周波数特性が上げられる。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。リングオシレータの構成は次の様になっている。段数：9段TFTのゲイト絶縁膜の膜厚：30nm及び50nm TFTのゲイト長：0.6 μ mこの様なリングオシレータによって発振周波数は最大値で1.04GHzとすることができる。

【0111】またLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数は、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μ m、電源電圧5V、段数50段のシフトレジスタ回路の場合では、100MHzの出力パルスを生じさせることが可能である。

【0112】以上の様なリングオシレータおよびシフトレジスタの驚異的なデータは、上述した連続性のある結晶粒界をもつ結晶性珪素を用いたTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0113】（実施例2）実施例1では非晶質珪素膜の全面（全部の領域）に対して結晶化を助長する触媒元素を添加しているが、一部の領域に対して選択的に添加する方法をとっても良い。その場合には、特開平7-130652号公報の実施例2に記載の手段を用いた。

【0114】概略的には、非晶質珪素膜を成膜したら選択的に絶縁膜を設け、その絶縁膜をマスクとして結晶化を助長する触媒元素を添加した。具体的には酸化珪素膜でなるマスクを設けた後、酢酸ニッケル塩溶液をスピコート法により塗布して水素だし工程（条件は実施例1と同様）を行った。

【0115】この状態で結晶化のための熱処理工程を行うと、ニッケルと直接接触する部分から結晶化が開始され、マスクの下に潜り込む様な形で結晶化が進行した。これにより基板とほぼ平行な方向に結晶成長した結晶領域を得ることができた。本出願人はこの様な特徴を有する結晶領域を横成長領域と呼んでいる。この横成長領域はニッケルが直接添加されないの、結晶化後に含まれるニッケル濃度が $1 \times 10^{18} \sim 5 \times 10^{18}$ atoms/cm³程度と、直接触れて結晶化した場合に較べて1桁程度低い。

【0116】従って、バターニングによって横成長領域のみを島状に残し、それをTFTの活性層とすることでニッケルの如き触媒元素の含有量の少ない活性層を得ることができた。

【0117】本実施例の場合、まず結晶化工程までは上述の手段で行い、形成された結晶性珪素膜（実際にはニ

ッケルが添加された部分と横成長領域のみが結晶化し、その他の部分は非晶質のままである）を得た。この結晶構造は、微視的には実施例1と同様であるが、個々の棒状結晶が巨視的には特定の方向性をもって並んでいる点が実施例1と異なる。

【0118】そして、実施例1で説明した図1（B）～図1（G）までの工程を経てTFTを形成した。こうして形成されたTFT及びその様なTFTで組まれた回路は実施例1と同様の優れた電気特性を示すものであった。

【0119】（実施例3）本実施例では、実施例1又は実施例2において900~1200℃の水素アニール工程を行う前に結晶性珪素膜中から珪素の結晶化を助長する触媒元素（ニッケルを例にとる）を除去する工程を行う場合の例について説明する。

【0120】本実施例の場合、膜中のニッケルを除去するためにハロゲン元素のゲッターリング作用を利用した。これはハロゲン元素とニッケルとが化合することで揮発性のハロゲン化ニッケルになることを利用した技術である。この技術は結晶性珪素膜をハロゲン元素を含む雰囲気中に置き、700~1150℃（代表的には950~1100℃）の熱処理工程を0.5~8時間程度行うという構成から成り立つ。

【0121】本実施例では酸素と塩化水素とを混合したガス中に処理基板を置き、950℃1時間の熱処理工程を行った。この工程により結晶性珪素膜中に残存するニッケル濃度を 1×10^{17} atoms/cm³以下にまで低減することができた。なお、 1×10^{17} atoms/cm³付近はSIMS（質量二次イオン分析）の測定下限であるため、実際には 1×10^{14} atoms/cm³~ 1×10^{16} atoms/cm³くらいの濃度で存在すると予想される。

【0122】また、このハロゲン元素によるゲッターリング工程は900~1200℃の温度で行う水素アニール工程の前に行っても後に行っても良い。さらに、水素アニール工程とゲッターリング工程とを兼ねることも可能である。その場合、水素雰囲気中に0.1~5wt%のハロゲン化水素（代表的には塩化水素）を混合した雰囲気中で900~1200℃の熱処理工程を行えば良い。還元雰囲気中でハロゲン元素によるゲッターリングを行うと、結晶性珪素膜が酸化されないの、酸化珪素膜の異常成長といった問題は全く起こらない。

【0123】本実施例を採用することで、結晶性珪素膜中から触媒元素を除去又は低減することができる。触媒元素の濃度は 1×10^{17} atoms/cm³以下にまで低減されるので、触媒元素の存在によってTFT特性（特にオフ電流値）がばらつく様なことを防ぐことができる。

【0124】（実施例4）本実施例では、実施例1又は実施例2において900~1200℃の水素アニール工程を行う前に結晶性珪素膜中から珪素の結晶化を助長する触媒元素（ニッケルを例にとる）を除去するに際し

て実施例 3 とは異なる手段を用いる場合について説明する。

【0125】説明には図 2 を用いる。まず、実施例 2 に示された工程を経て非晶質珪素膜の結晶化を行った。具体的には石英基板 201 上に非晶質珪素膜（図示せず）を形成し、その上に酸化珪素膜でなるマスク 202 を形成した。そして、その状態でニッケル塩をスピンコートして結晶化のための熱処理工程を行った。本実施例では熱処理条件を 570℃ 14 時間とした。この熱処理工程（結晶化工程）によって横成長領域 203 を得た。（図 2（A））

【0126】次に、マスク 202 をそのままマスクとして活用して 15 族から選ばれた元素（本実施例ではリン）を添加した。添加方法はイオン注入法、プラズマドーピング法、気相拡散法など公知のどの様な手段を用いても構わない。（図 2（B））

【0127】こうしてマスク 202 の開孔部によって露呈した結晶性珪素膜中にリンが添加された領域 204 が形成された。本実施例ではこの領域を便宜上ゲッタリング領域と呼ぶことにする。ゲッタリング領域 204 に含まれるリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³ となる様に添加量を調節した。

【0128】ゲッタリング領域 204 を形成した後、550～750℃（好ましくは 600～650℃）の温度範囲で 2～24 時間（好ましくは 8～12 時間）の熱処理を行うことでゲッタリング工程がなされる。本実施例では 600℃ 12 時間の熱処理工程を行った。（図 2（C））

【0129】その結果、横成長領域 203 に含まれていたニッケルはゲッタリング領域 204 で捉えられ（ゲッタリングされ）、ニッケル濃度の大幅に低減された横成長領域 205 が得られた。この横成長領域 205 中に含まれるニッケル濃度は、 1×10^{17} atoms/cm³ 以下であった。ただし、実施例 3 でも述べた様に 1×10^{17} atoms/cm³ 付近は SIMS（質量二次イオン分析）の測定下限であるため、実際には 1×10^{16} atoms/cm³ 以下くらいまでは低減されていると予想される。

【0130】次に、パターニングを施して横成長領域 205 のみでなる活性層 206、207 を形成した。そして、水素雰囲気中において 1050℃ 1 時間の熱処理工程を行い、活性層表面の平坦化と結晶性の改善とを行った。勿論、熱処理条件は本実施例に限定されない。

【0131】活性層を形成してから水素アニールを行ったのは、ゲッタリング領域が残ったまま 800℃ を超える熱処理を行うと、リンが横成長領域の方へと逆拡散してしまうからである。本実施例の様にゲッタリング領域を完全に除去してから水素アニールを行った方が、チャネル形成領域にリンが混入しないので望ましい。

【0132】こうして図 2（D）の状態を得たら、後は実施例 1 に示した作製工程に従って TFT を作製すれば

良い。勿論、公知の他の手段により TFT を作製しても本願発明の効果を損ねるものではない。

【0133】また、図 2（D）の工程（水素アニール工程）を行う前に結晶性珪素膜（またはパターニング後の活性層）に対して紫外光又は赤外光を照射する工程を行っても構わない。その場合には実施例 1 に示した様に、結晶粒界における結晶格子の連続性を壊さない様に注意する必要がある。

【0134】また、ゲッタリング工程（図 2（B）及び図 2（C））を行う前に図 2（D）の熱処理工程を行っても構わない。その場合には一旦マスク 202 を除去してから水素アニールを行い、その後でマスクを形成し直してゲッタリング工程を行う必要がある。

【0135】（実施例 5） 本実施例ではリンを用いて触媒元素（本実施例ではニッケル）をゲッタリングする上で、ソース領域及びドレイン領域を利用する場合の例について説明する。説明には図 3 を用いる。

【0136】まず実施例 1 の作製工程に従って N チャネル型 TFT 301 及び P チャネル型 TFT 302 を形成した。P チャネル型 TFT の作製工程例については実施例 1 で説明していないが、構造は N チャネル型 TFT と同一であるので、活性層に添加する不純物の導電型を 13 族から選ばれた元素（代表的にはボロン）に変えれば良い。

【0137】こうして図 3（A）の状態を得た。N チャネル型 TFT 301 のソース領域 303 及びドレイン領域 304 は 5×10^{20} atoms/cm³ の濃度でリンが添加されて形成されている。また、P チャネル型 TFT 302 のソース領域 305 及びドレイン領域 306 は 5×10^{19} atoms/cm³ の濃度のリンと 1.5×10^{21} atoms/cm³ の濃度のボロンとが添加されている。

【0138】次に図 3（A）の状態で 500～650℃、1～12 時間（本実施例では 500℃ 1 時間）の熱処理工程（ゲッタリング工程）を行った。この時、ソース領域 303、305 及びドレイン領域 304、306 が各々ゲッタリング領域として機能した。P チャネル型 TFT 305 側では、リンよりもボロンの濃度の方が高いにも関わらず良好にニッケルをゲッタリングすることが可能であった。

【0139】このゲッタリング工程では、ゲート配線直下のチャネル形成領域から隣接するソース領域及びドレイン領域に向かって、ニッケルが移動してゲッタリングされる。そのため、チャネル形成領域中のニッケル濃度は 1×10^{17} atoms/cm³ 以下（おそらくは 1×10^{16} atoms/cm³ 以下）にまで低減された。

【0140】なお、本実施例に示したゲッタリング工程は実施例 1～実施例 4 のどの実施例とも組み合わせることが可能である。

【0141】（実施例 6） 本実施例では、本願発明によって作製された反射型液晶表示装置の例を図 4 に示

す。画素TFT（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0142】図4（A）において11は絶縁表面を有する基板（酸化珪素膜を設けたセラミックス基板）、12は画素マトリクス回路、13はソースドライバ回路、14はゲートドライバ回路、15は対向基板、16はFPC（フレキシブルプリントサーキット）、17は信号処理回路である。信号処理回路17としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、ガラス基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0143】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0144】ここで図4（A）のドライバ回路13、14を構成する回路の一例を図4（B）に示す。なお、TFT部分については既に実施例1で説明しているので、ここでは必要箇所のみの説明を行う。

【0145】図4（B）において、401、402はNチャネル型TFT、403はPチャネル型TFTであり、401と403のTFTでCMOS回路を構成している。404は窒化珪素膜／酸化珪素膜／樹脂膜の積層膜でなる絶縁層、その上にはチタン配線405が設けられ、前述のCMOS回路とTFT402とが電気的に接続されている。チタン配線はさらに樹脂膜でなる絶縁層406で覆われている。二つの絶縁層404、406は平坦化膜としての機能も有している。

【0146】また、図4（A）の画素マトリクス回路12を構成する回路の一部を図4（C）に示す。図4（C）において、407はダブルゲート構造のNチャネル型TFTでなる画素TFTであり、画素領域内に大きく広がる様にしてドレイン配線408が形成されている。なお、ダブルゲート構造以外にシングルゲート構造やトリプルゲート構造などを採用しても構わない。

【0147】その上には絶縁層404が設けられ、その上にチタン配線405が設けられている。この時、絶縁層404の一部には凹部が落とし込み部が形成され、最下層の窒化シリコン及び酸化シリコンのみが残される。これによりドレイン配線408とチタン配線405との間で補助容量が形成される。

【0148】また、画素マトリクス回路内に設けられたチタン配線405はソース・ドレイン配線と後の画素電極との間において電界遮蔽効果をもたらす。さらに、複数設けられた画素電極間の隙間ではブラックマスクとしても機能する。

【0149】そして、チタン配線405を覆って絶縁層

406が設けられ、その上に反射性導電膜でなる画素電極409が形成される。勿論、画素電極409の表面に反射率を上げるための工夫をなしても構わない。

【0150】また、実際には画素電極409の上に配向膜や液晶層が設けられるが、ここでの説明は省略する。

【0151】本願発明を用いて以上の様な構成でなる反射型液晶表示装置を作製することができる。勿論、公知の技術と組み合わせれば容易に透過型液晶表示装置を作製することもできる。さらに、公知の技術と組み合わせればアクティブマトリクス型のEL表示装置も容易に作製することができる。

【0152】また、図面では区別していないが画素マトリクス回路を構成する画素TFTと、ドライバ回路や信号処理回路を構成するCMOS回路とでゲート絶縁膜の膜厚を異ならせることも可能である。

【0153】画素マトリクス回路ではTFTに印加される駆動電圧が高いので50～200nm程度の膜厚のゲート絶縁膜が必要である。一方、ドライバ回路や信号処理回路ではTFTに印加される駆動電圧は低く、逆に高速動作が求められるのでゲート絶縁膜の膜厚を3～30nm程度と画素TFTよりも薄くすることが有効である。

【0154】（実施例7） 上記実施例によって作製された液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0155】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0156】ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図9に示す。図9に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設

定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0157】図9に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0158】このような低電圧駆動の無しきい値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることで、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0159】また、このような低電圧駆動の無しきい値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げることで、D/A変換回路の動作電源電圧を下げることで、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0160】よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0161】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくてもそれを補うようにしてもよい。

【0162】なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0163】なお、図9に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶表示装置の表示媒体として用いることができる。

【0164】（実施例8） 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0165】図5に示すのは、マイクロプロセッサの一

例である。マイクロプロセッサは典型的にはCPUコア21、RAM22、クロックコントローラ23、キャッシュメモリ24、キャッシュコントローラ25、シリアルインターフェース26、I/Oポート27等から構成される。

【0166】勿論、図5に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0167】しかし、どのような機能を有するマイクロプロセッサであっても中枢として機能するのはIC（Integrated Circuit）28である。IC28は半導体チップ29上に形成された集積化回路をセラミック等で保護した機能回路である。

【0168】そして、その半導体チップ29上に形成された集積化回路を構成するのが本願発明の構造を有するNチャネル型TFT30、Pチャネル型TFT31である。なお、基本的な回路はCMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0169】また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。

【0170】（実施例9）本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本願発明を実施できる。

【0171】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図6及び図7に示す。

【0172】図6（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本願発明を画像入力部2002、表示装置2003やその他の信号制御回路に適用することができる。

【0173】図6（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0174】図6（C）はモバイルコンピュータ（モー

ビルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0175】図6(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0176】図6(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置2402やその他の信号制御回路に適用することができる。

【0177】図6(F)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示装置2502やその他の信号制御回路に適用することができる。

【0178】図7(A)はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0179】図7(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0180】なお、図7(C)は、図7(A)及び図7(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2805~2807、ダイクロイックミラー2803、2804、光学レンズ2808、2809、2811、液晶表示装置2810、投射光学系2812で構成される。投射光学系2812は、投射レンズを備えた光学系で構成される。本実施例は液晶表示装置2810を三つ使用する三板式の例を示したが、特に限定されず、例えば単板式であつてもよい。また、図7(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有す

るフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

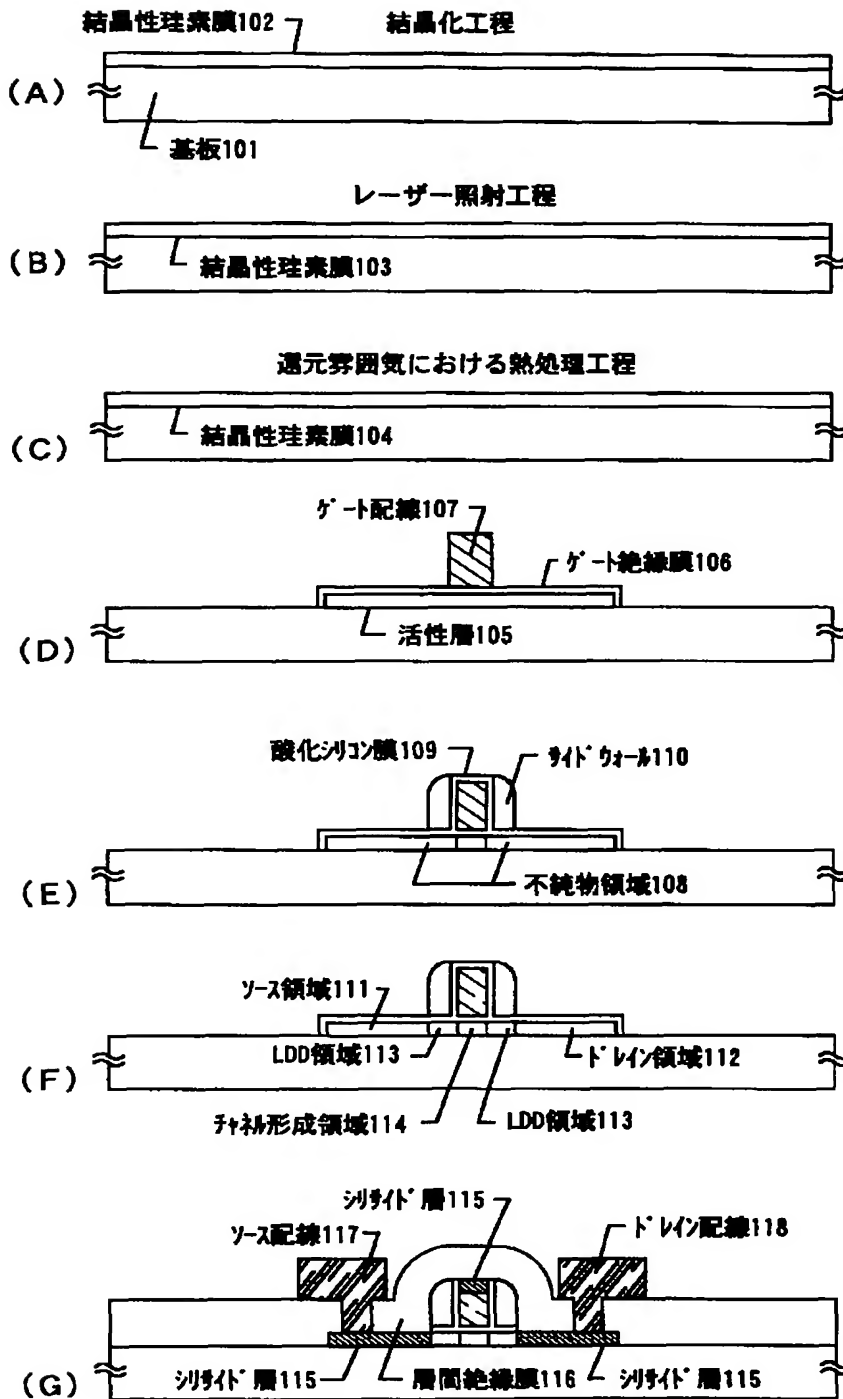
【0181】また、図7(D)は、図7(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、光源2813、2814、合成プリズム2815、コリメータレンズ2816、2820、レンズアレイ2817、2818、偏光変換素子2819で構成される。なお、図7(D)に示した光源光学系は光源を2つ用いたが、光源を3~4つ、あるいはそれ以上用いてもよく、勿論、光源を1つ用いてもよい。また、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0182】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~8のどのような組み合わせからなる構成を用いても実現することができる。

【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの作製工程を示す図。
- 【図4】 電気光学装置の構成を示す図。
- 【図5】 半導体回路の構成を示す図。
- 【図6】 電子機器の構成を示す図。
- 【図7】 電子機器の構成を示す図。
- 【図8】 電子線回折パターンを模式的に示した図。
- 【図9】 無しきい値反強誘電性混合液晶の特性図。
- 【図10】 高温アニール前の結晶性珪素膜表面のSEM観察写真。
- 【図11】 高温アニール後の結晶性珪素膜表面のSEM観察写真。
- 【図12】 高温アニール前の結晶性珪素膜表面のAFM像。
- 【図13】 高温アニール後の結晶性珪素膜表面のAFM像。
- 【図14】 高温アニール前のAFM像の高さのHistogram(ヒストグラム)分布、Bearing Ratio曲線。
- 【図15】 高温アニール後のAFM像の高さのHistogram(ヒストグラム)分布、Bearing Ratio曲線。
- 【図16】 P-Vの1/2におけるBearing Ratioの統計データ。

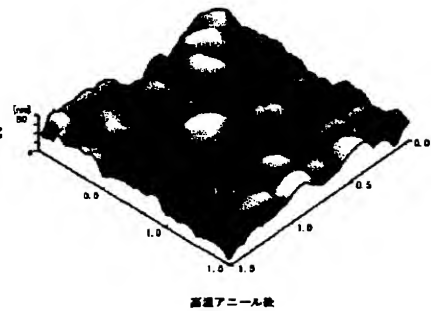
【図1】



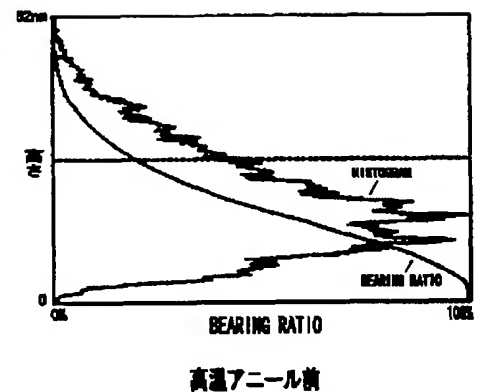
【図12】



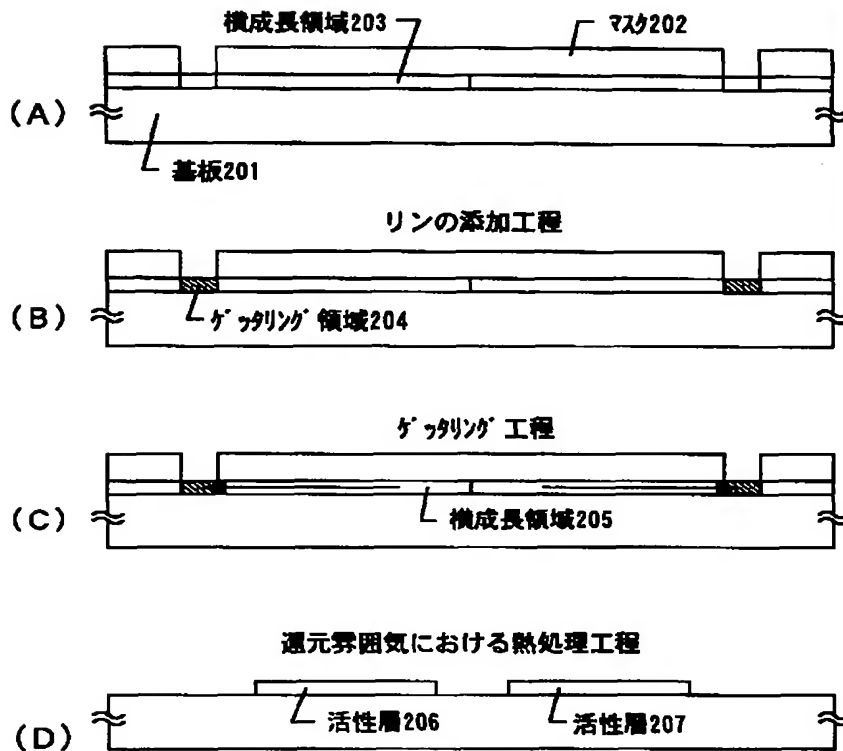
【図13】



【図14】



【図 2】

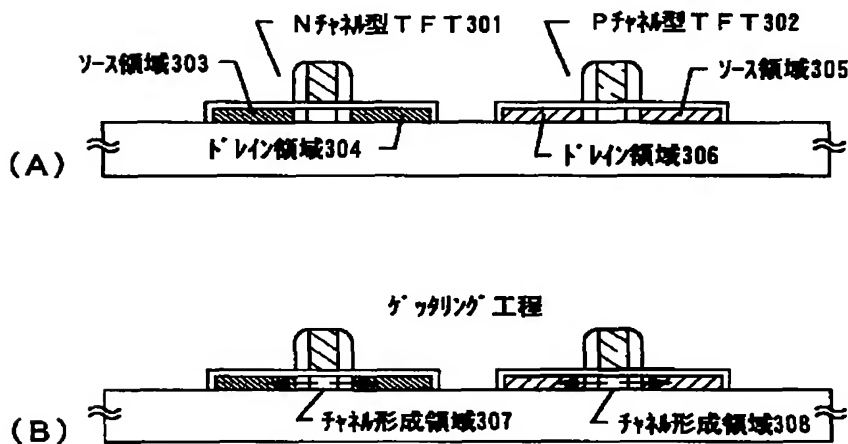


【図 16】

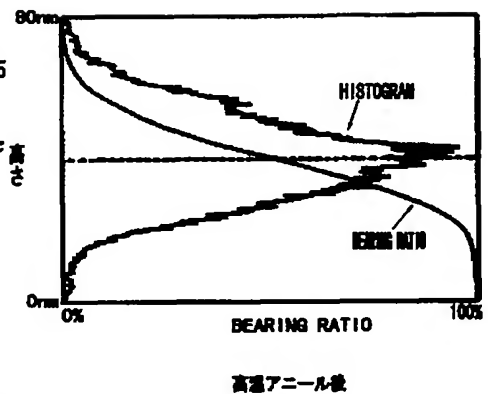
測定位置	高温アニール前	高温アニール後
1	13.623	40.825
2	20.027	51.124
3	20.629	59.364
4	21.788	48.539
5	18.868	65.341
6	16.087	48.610
7	13.120	67.655
8	14.035	61.120
9	12.599	54.418
10	20.639	36.845
平均 (σ)	12.60	36.95
最大 (σ)	21.80	59.38
最小 (σ)	10.82	50.18
標準偏差 (σ)	3.61	7.18

(P-V値) / 2のBearing Ratio (%)

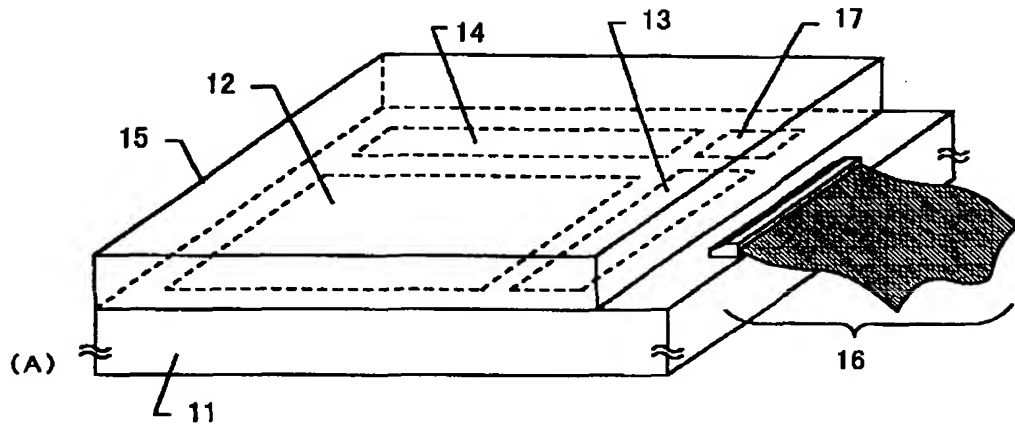
【図 3】



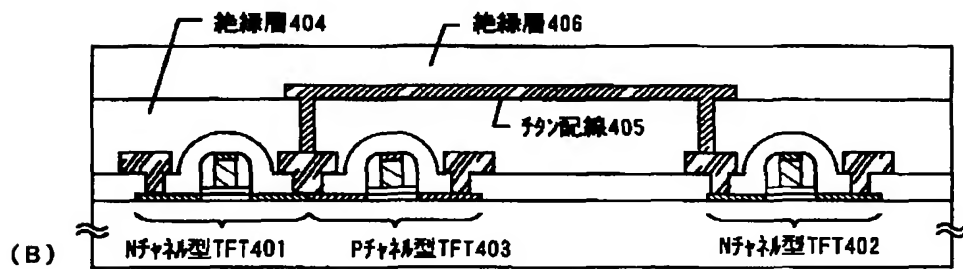
【図 15】



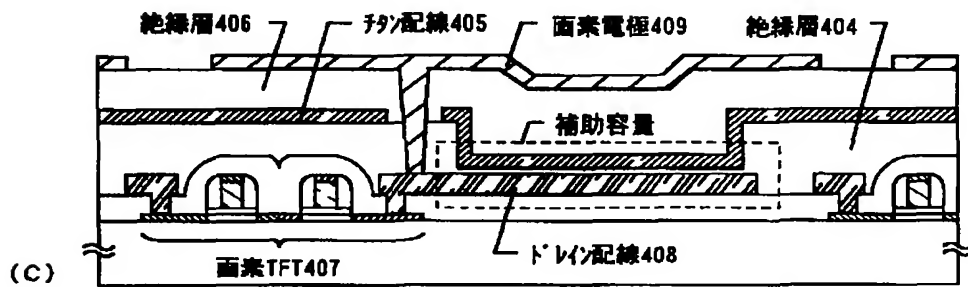
【図4】



11: 絶縁表面を有する基板 12: 画素マトリクス回路
 13: ソースライン回路 14: ゲイトライン回路 15: 対向基板
 16: FPC 17: 信号処理回路

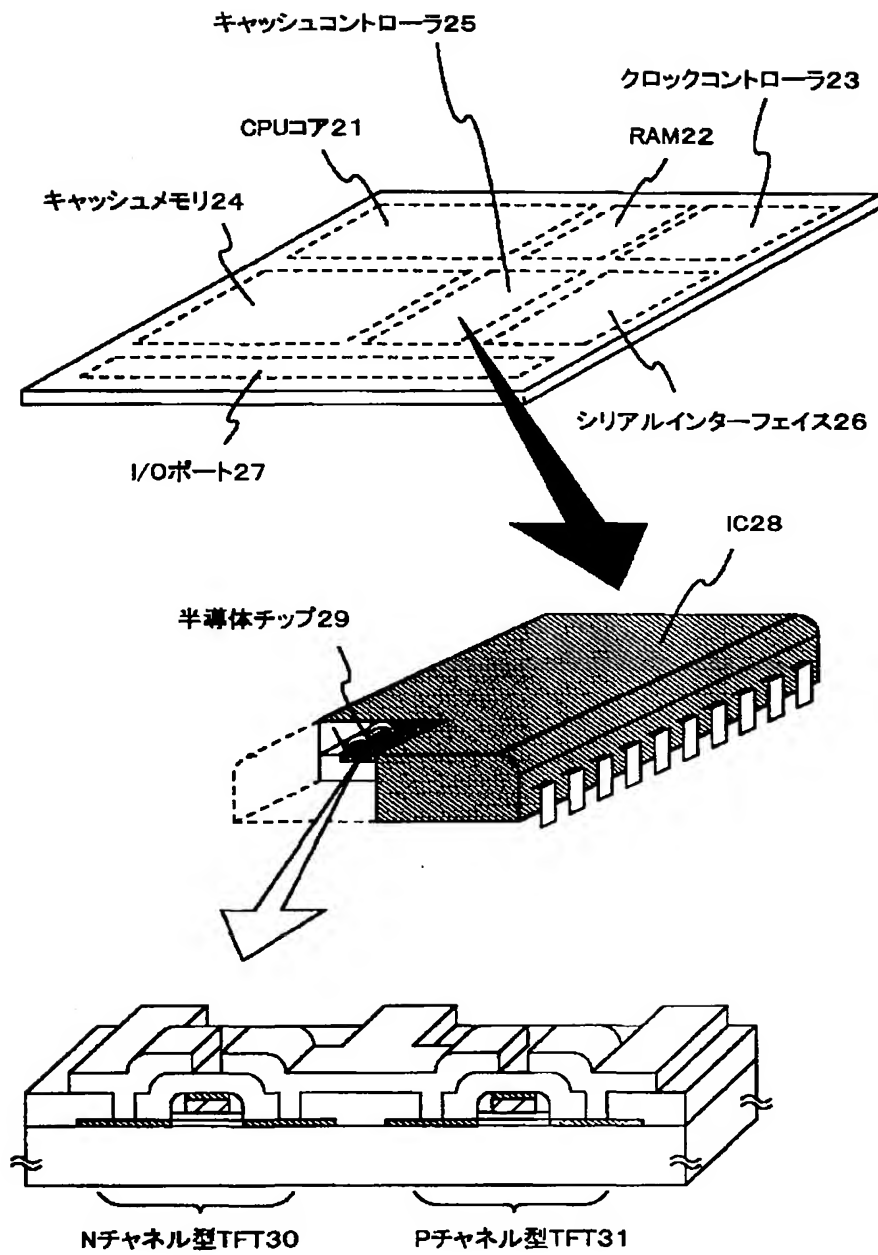


(B)

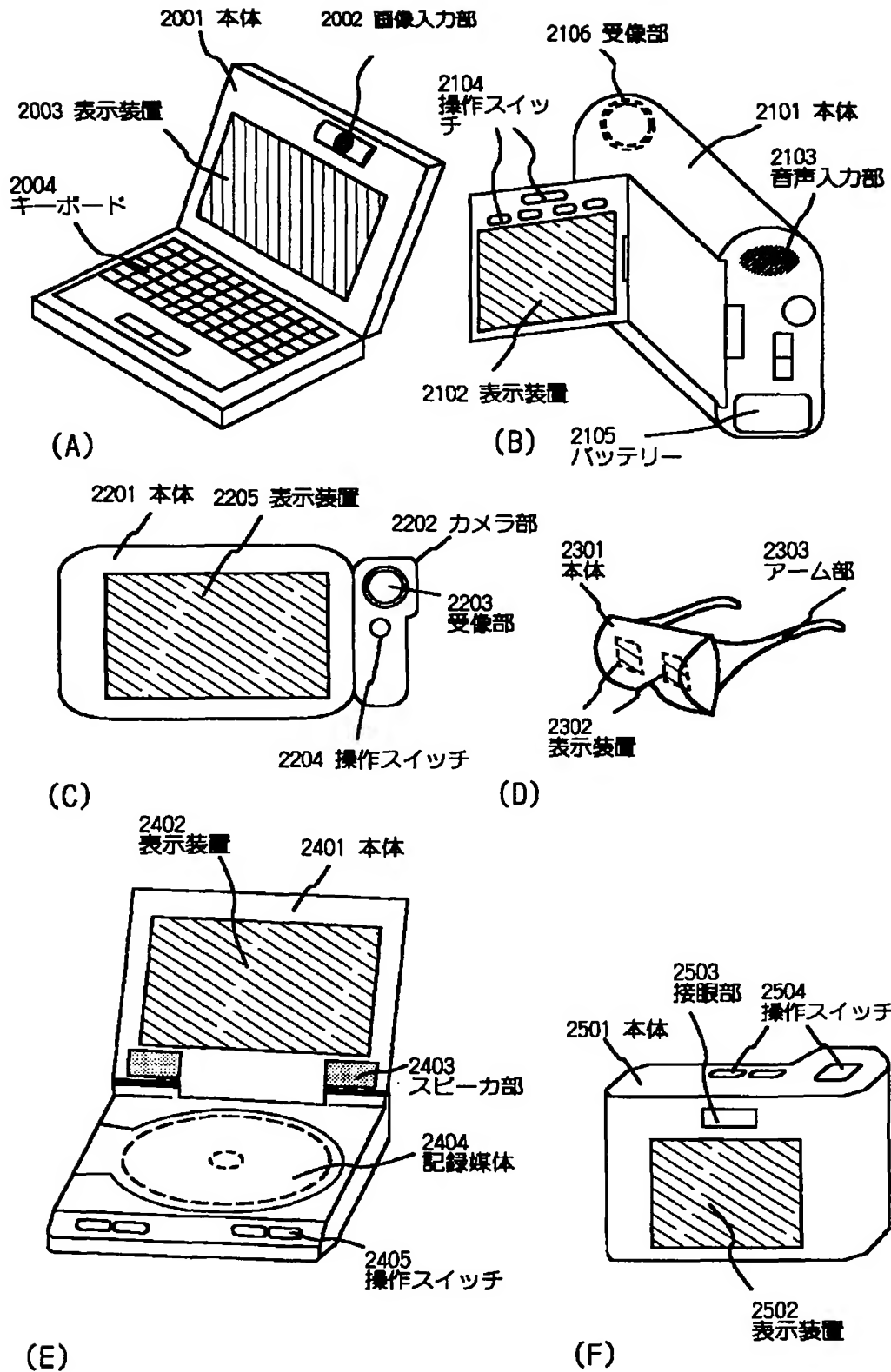


(C)

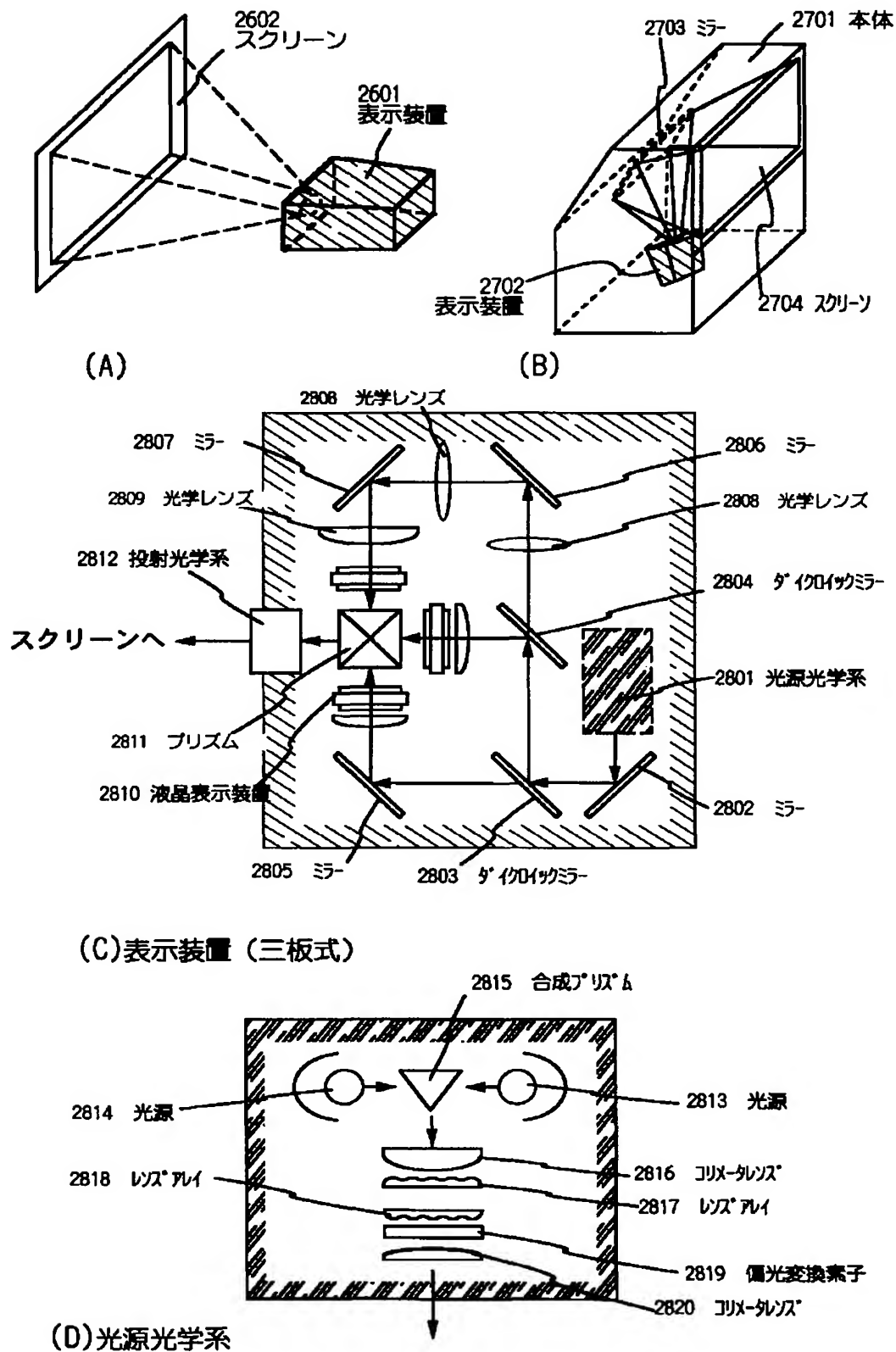
【図5】



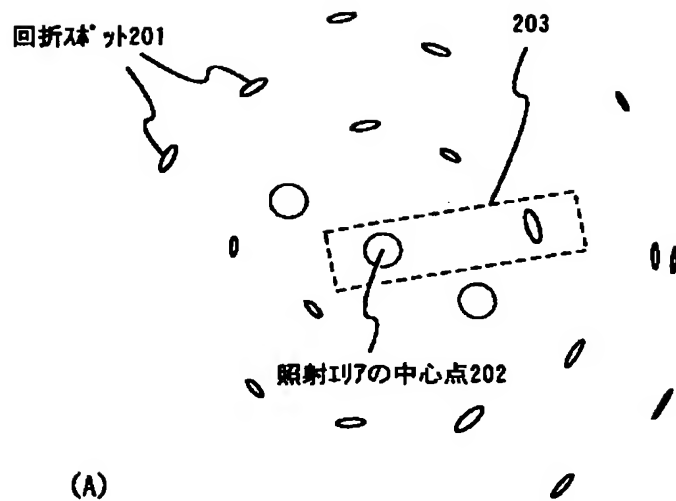
【図 6】



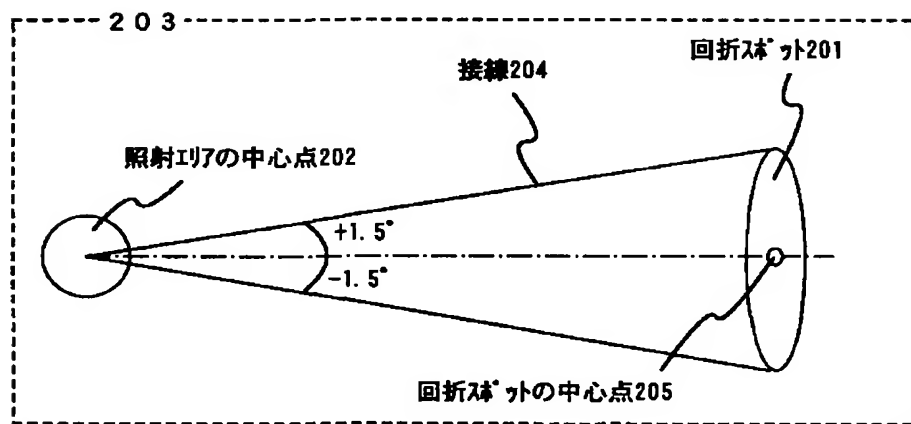
【図 7】



【図 8】

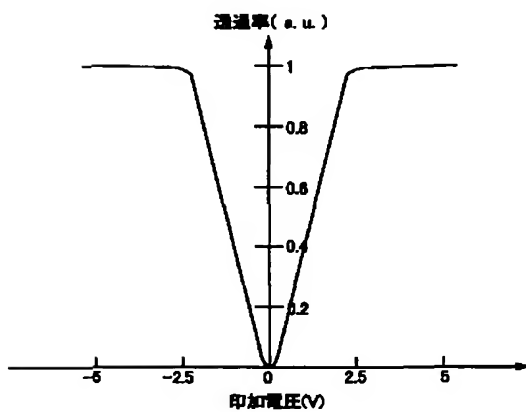


(A)

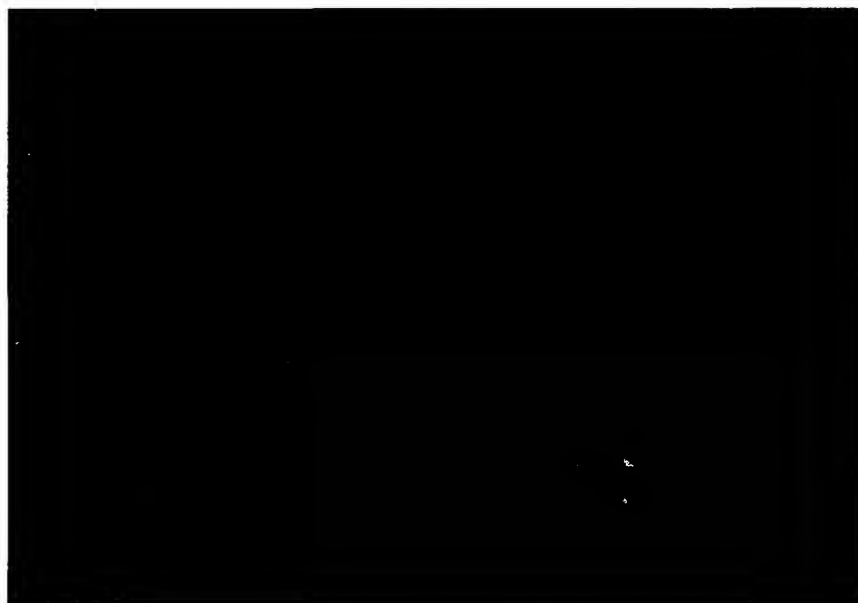


(B)

【図 9】



【図 1 0】



高温アニール後

【図 1 1】



高温アニール後

フロントページの続き

F ターム(参考) 5F052 AA02 AA11 AA27 BA07 BB04
BB05 BB07 CA08 DA02 DB02
EA11 EA12 EA13 EA15 EA16
FA06 FA24 HA01 JA01 JA04
5F110 AA01 AA18 BB02 CC02 CC08
DD03 DD13 DD14 DD15 DD17
EE09 EE31 FF02 FF23 GG02
GG13 GG17 GG25 GG33 GG47
GG54 HJ01 HJ04 HJ23 HL03
HM15 NN02 PP03 PP06 PP10
PP13 PP23 PP29 PP34 PP35
PP38 QQ11 QQ28